

引用格式:武翠霞,张培峰,杨军佳,等. CMOS 神经元电路耦合同步对噪声的抑制作用[J]. 微电子学与计算机, 2021, 38(9): 105-108. [WU C X, ZHANG P F, YANG J J, et al. The role of synchronization of CMOS neuronal circuitry in Noise suppression[J]. Microelectronics & Computer, 2021, 38(9): 105-108.]

CMOS 神经元电路耦合同步对噪声的抑制作用

武翠霞, 张培峰, 杨军佳, 常小龙

(陆军炮兵防空兵学院 郑州校区, 河南 郑州 450052)

摘 要: 为了分析神经元电路耦合同步对噪声的抑制作用, 构建了 COMS 神经元电路的耦合网络, 借助 Hspice 工具对噪声干扰环境下神经元电路耦合网络的同步放电行为进行仿真. 结果表明: 单个神经元电路的放电频率受噪声影响较大, 而多个神经元电路耦合同步可以抑制噪声干扰, 恢复原有的放电频率. 因此, 利用多个神经元电路的同步放电行为对输入信号进行编码, 能够实现可靠的信息编码.

关键词: 神经元电路; 耦合同步; 噪声干扰; 抗干扰特性; 放电频率

中图分类号: TP309

文献标识码: A

文章编号: 1000-7180(2021)09-0105-04

The role of synchronization of CMOS neuronal circuitry in Noise suppression

WU Cuxia, ZHANG Peifeng, YANG Junjia, CHANG Xiaolong

(Zhengzhou Campus, PLA Army Academy of Artillery and Air Defense, Zhengzhou 450052, China)

Abstract: In order to analyze the effect of neuronal circuit coupling synchronization on noise suppression, a COMS neuronal circuit coupling network was constructed, and the synchronous discharge behavior of neuronal circuit coupling network was simulated by Hspice tool. The results show that the discharge frequency of single neuron circuit is greatly affected by noise, while the coupling synchronization of multiple neuron circuits can suppress noise interference and restore the original discharge frequency. Therefore, the synchronous discharge behavior of multiple neuron circuits can be used to encode the input signal to achieve reliable information coding.

Key words: Neuronal Circuit (NC); Coupling Synchronization (CS); Noise Interference (NI); Anti-interference Characteristic (AC); discharge frequency

1 引言

和电子系统一样, 神经系统进行信息处理时也面临着各种各样的干扰, 但相比之下, 电子系统在电磁干扰环境中就较为敏感和脆弱. 澳大利亚昆士兰州大学脑研究所研究人员认为, 脑在噪声约束环境下的长期进化已经具有了某种内在的容噪 (Noise-tolerance) 机制^[1]. 如果电子系统能够借鉴神经信息处理的抗扰特性, 将有助于提高电子系统在复杂电

磁环境下的抗干扰能力.

一方面, 神经元同步放电行为与信息编码、特征绑定、学习记忆等一系列神经功能密切相关^[2-3]. 另一方面, 同步放电可能对噪声产生抑制作用, 实现可靠的神经计算. 国内外学者主要从数学模型或算法上研究了神经元同步行为对噪声的抑制作用. Tabareau 等人指出, 非线性单元的同步放电能够在非线性系统中产生类似“线性平均”的效果, 从而达到抑制噪声的效果^[4]. Diesmann 等人的研究认为神经元放电的时间信息可以利用同步机制在网络中稳

定地传播^[5]. 秦迎梅的研究认为借助于同步, 神经元放电频率信息可以在多层前馈神经网络中稳定传播^[6]. 另外, 以神经元同步放电为基础的脉冲耦合神经网络模型已经在图像处理领域有了广泛的应用, 而且该模型具有抑制噪声的效果^[7].

在电路层面, 研究人员致力于神经元电路或神经芯片的设计, 主要是为了模拟神经信息处理的过程, 提高信息处理的能力^[8-10]. 本文借助一种 CMOS 神经元电路构建神经元电路耦合同步网络, 重点从电路层面研神经元电路同步对噪声的抑制作用, 展示了其良好的抗干扰能力.

2 CMOS 神经元电路的耦合网络

2.1 CMOS 神经元电路及其编码

耦合网络采用了熊莹^[11]等人提出的一种积分发放(Integrated and Fire, IF)CMOS 神经元电路作为基本单元. 其基本结构如图 1 所示, 该神经元电路具有结构简单、易于大规模实现的优点. CMOS 神经元电路模拟了生物神经元的工作机制动作电位等电气特性, 把输入信号编码成一定频率的脉冲输出.

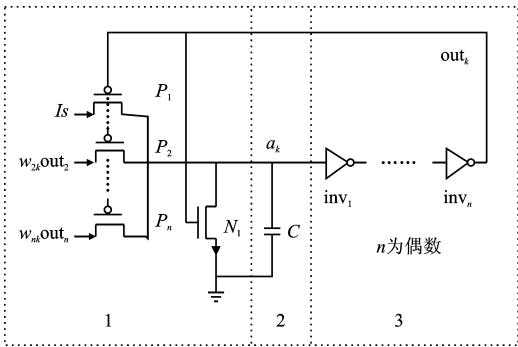


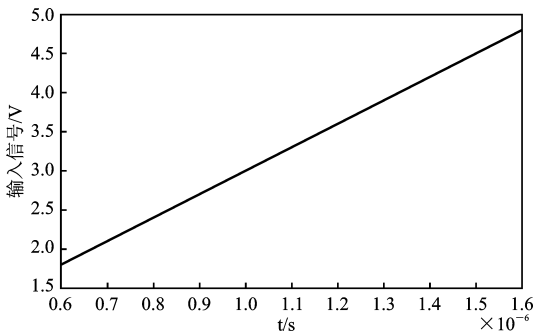
图 1 积分发放 CMOS 神经元电路模型

利用 Hspice 电路仿真工具对神经元电路的编码能力进行分析. 设置 CMOS 神经元中晶体管和电容的参数为: 处于充电通路的 PMOS 晶体管的沟道宽度为 $2\text{ }\mu\text{m}$, 长度为 300 nm . 处于放电通路的 NMOS 晶体管沟道宽度为 $2\text{ }\mu\text{m}$, 长度为 350 nm , 膜电容 $C=10\text{ pF}$. 图 2 给出了神经元电路的仿真结果.

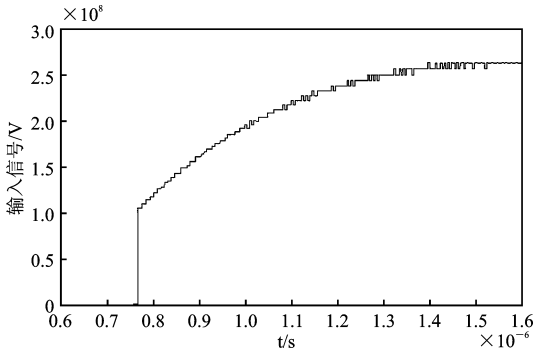
可以看到在一定的范围内, 随着神经元电路输入信号 I_s 增强, 神经元电路放电频率也逐渐增加. 这说明了在一定范围内, CMOS 神经元电路可以将输入信号强弱的信息编码成输出的脉冲频率. 输出脉冲的频率越高, 说明输入信号越强. 注意, 这里的 I_s 泛指输入信号, 并非特指电流, 而本文所有的仿真实验施加的刺激信号均是电压信号.

2.2 CMOS 神经元电路耦合网络

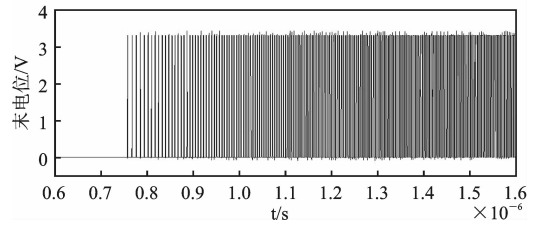
在耦合网络模型中, 每个神经元可以与多个其



(a) 神经元电路的输入信号



(b) 神经元电路放电脉冲的瞬时频率



(c) 神经元电路的放电脉冲

图 2 CMOS 神经元电路对信号的频率编码

它神经元建立耦合关系. 这里的耦合关系是指两个神经元膜电容 C 的 a_k 端通过导线或者电阻进行连接. 为了降低神经元之间的耦合连接密度, 采用了环形的规则连接方式, 如图 3 所示. 每个神经元电路只与临近的 4 个神经元电路建立耦合关系.

3 同步放电对噪声的抑制作用

3.1 噪声环境下单个神经元电路的编码

作为对比, 首先分析单个神经元的放电行为. 假设神经元电路接受到周期的电压刺激信号, 其波形如图 4 所示. 该信号的数学表达式为 $x(t)=3+\sin(\omega * t)$, 频率为 4 mHz . 对 CMOS 神经元电路的放电活动进行仿真分析, 晶体管和电容参数与 2.1 节一致(后续电路仿真中均采用这一参数设置).

在无噪声情况下, 对神经元电路仿真分析的结果如图 5 所示. 从结果可知, 在输入信号的刺激下, 神经元电路放电脉冲的时间间隔和放电频率呈现周期性的变化, 变化周期与输入信号的周期一致. 因

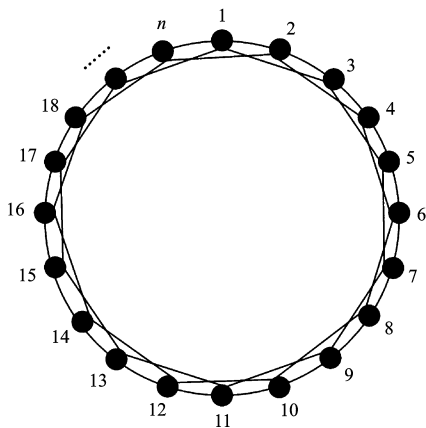


图 3 CMOS 神经元电路耦合模型

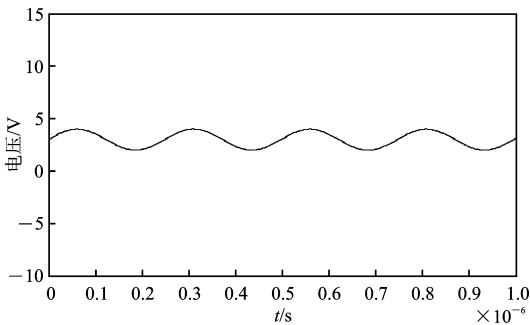


图 4 神经元电路的输入信号

此,神经元电路通过自身放电频率的周期性变化编码了该输入信号的周期和幅值信息. 神经元放电频率的变化周期代表了正弦信号的周期,放电频率的强弱代表了信号的幅值信息.

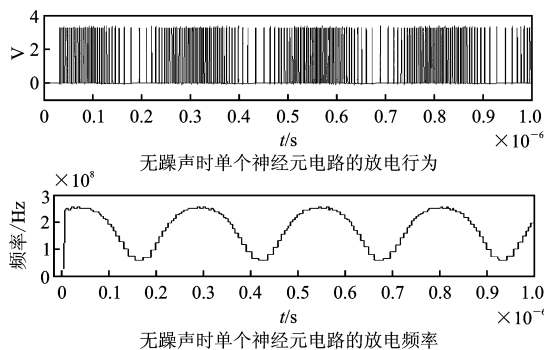


图 5 CMOS 神经元电路对正弦信号的编码

在普通的电路系统中,信号容易受到各种噪声的干扰. 将图 4 中的周期信号加入较强的高斯噪声,噪声的统计特性如下:均值 $\mu=0$,方差 $\sigma^2=3$. 可以看到,受到噪声干扰后的周期信号波形如图 6 所示,该信号完全淹没在了噪声之中.

单个 CMOS 神经元电路的输入信号受到噪声干扰后,其放电波形和放电频率如图 7 所示. 从仿真结果可以看到,神经元放电脉冲的时间间隔和放电

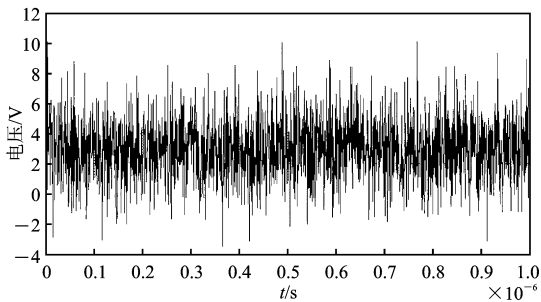


图 6 叠加了噪声的正弦输入信号

频都受到了干扰,噪声对神经元电路的编码行为产生了严重的影响,无法从神经元电路的放电行为中提取出输入信号的有关信息.

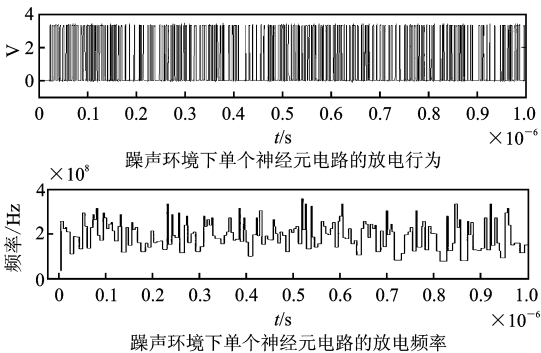


图 7 噪声环境下 CMOS 神经元电路的编码

3.2 神经元电路耦合同步对噪声的抑制作用

根据图 3 给出的网络结构,构建一个有 20 个神经元电路构成的耦合网络模型,神经元编号为 1~20. 神经元之间通过导线直接耦合,也即耦合电阻为零. 电路仿真时,所有神经元均受到图 4 给出的正弦电压信号的刺激. 同时,每个神经元电路的输入端均注入高斯噪声作为干扰,均值 $\mu=0$,方差 $\sigma^2=3$,神经元电路之间的输入噪声相互独立. 20 个耦合同步的神经元在噪声环境下的放电波形和放电频率如图 8 所示.

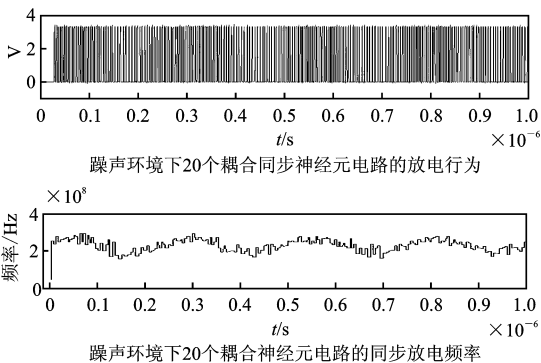


图 8 20 个神经元电路耦合同步后的编码

从图 5、图 7 和图 8 的仿真结果对比可知,在噪声环境下,20 个神经元电路通过突触耦合形成同步放电

行为后,神经元电路放电脉冲的时间间隔和放电频率又重新呈现周期性的变化,且变化周期与正弦信号的周期一致.因此,神经元电路的同步放电,很大程度上抑制了噪声干扰,恢复了输入信号的周期信息.

通过图 5 和图 8 的对比可知,神经元耦合同步后放电频率的变化幅度有所降低,因此,神经元耦合网络同步放电抑制噪声的同时,正弦信号的幅值信息也有所损失.

4 结束语

同步放电是神经系统中的普遍现象,很多理论研究认为同步放电可以抑制噪声干扰.本文从电路层面对神经元同步放电行为的抗扰特性进行了初步的仿真研究.结果表明 CMOS 神经元电路同样可以利用同步放电抑制噪声.这一结论展示了电子系统利用神经元同步放电现象提高其抗干扰能力的可能性.

本文构建的神经元电路耦合网络中,神经元电路直接的耦合方式实际上是电耦合方式,类似于生物神经元的电突触,即两个神经元电路中的膜电容 C 通过导线或电阻直接相连,没有时间延迟.而生物神经元之间还存在具有时间延迟的耦合方式(化学突触).下一步应该重研究网络结构、耦合方式和神经元电路规模等参数对网络抗干扰能力的而影响.

参考文献:

- [1] CHEUNG A, VICKERSTAFF R. Finding the way with a noisy brain[J]. *PLoS Computational Biology*, 2010, 6(11): e1000992. DOI: 10.1371/journal.pcbi.1000992.
- [2] COLZATO L S, STEENBERGEN L, SELLARO R. The effect of gamma-enhancing binaural beats on the control of feature bindings[J]. *Experimental Brain Research*, 2017, 235(7): 2125-2131.
- [3] PALVA S, PALVA J M. The role of local and large-scale neuronal synchronization in human cognition [M]//PALVA S. *Multimodal Oscillation-based Connectivity Theory*. Cham: Springer, 2016. DOI: 10.1007/978-3-319-32265-0_4.
- [4] TABAREAU N, SLOTINE J J, PHAM Q C. How synchronization protects from noise[J]. *PLoS Computational Biology*, 2010, 6(1): e1000637. DOI: 10.1371/journal.pcbi.1000637.
- [5] DIESMANN M, GEWALTIG M O, ROTTER S, et al. State space analysis of synchronous spiking in cortical neural networks[J]. *Neurocomputing*, 2011, 38-40: 564-571. DOI: 10.1016/S0925-2312(01)00409-X.
- [6] 秦迎梅. 神经元网络的共振效应—信息的检测与传导

[D]. 天津: 天津大学, 2013.

QIN Y M. Resonance in neural network: signal detection and propagation[D]. Tianjin: Tianjin University, 2013.

- [7] DENG X Y, MA Y D, DONG M. A new adaptive filtering method for removing salt and pepper noise based on multilayered PCNN[J]. *Pattern Recognition Letters*, 2016(79): 8-17. DOI: 10.1016/j.patrec.2016.04.019.
- [8] ACCIARITO S, CARDARILLI G C, CRISTINI A, et al. Hardware design of LIF with Latency neuron model with memristive STDP synapses[J]. *Integration*, 2017(59): 81-89. DOI: 10.1016/j.vlsi.2017.05.006.
- [9] 叶勇, 亢勇, 景蔚亮, 等. 非易失性突触存储阵列及神经元电路的设计[J]. *微电子学与计算机*, 2017, 34(11): 1-5. DOI: 10.19304/j.cnki.issn1000-7180.2017.11.001.
- YE Y, KANG Y, JING W L, et al. Design of non-volatile synapse array and neuron circuits[J]. *Microelectronics & Computer*, 2017, 34(11): 1-5. DOI: 10.19304/j.cnki.issn1000-7180.2017.11.001.
- [10] 孙宏伟, 陈松, 林福江. 一种可实现 STDP 机制的 CMOS 突触和神经元电路设计[J]. *微型机与应用*, 2017, 36(18): 43-45. DOI: 10.19358/j.issn.1674-7720.2017.18.013.
- SUN H W, CHEN S, LIN F J. Design of synapse and silicon neuron CMOS circuit for STDP[J]. *Microcomputer & Its Applications*, 2017, 36(18): 43-45. DOI: 10.19358/j.issn.1674-7720.2017.18.013.
- [11] 熊莹, 韩伟华, 张严波, 等. 一种脉冲编码 CMOS 神经元电路的设计与实现[J]. *电子器件*, 2011, 34(3): 286-291. DOI: 10.3969/j.issn.1005-9490.2011.03.013.
- XIONG Y, HAN W H, ZHANG Y B, et al. A design of pulse coded CMOS Neuron circuit[J]. *Chinese Journal of Electron Devices*, 2011, 34(3): 286-291. DOI: 10.3969/j.issn.1005-9490.2011.03.013.

作者简介:

武翠霞 女, (1986-), 硕士, 讲师. 研究方向为通信与信息处理、雷达信号处理. E-mail: changxiaolon@163.com

张培峰 男, (1979-), 硕士, 讲师. 研究方向为雷达信号处理.

杨军佳 男, (1987-), 硕士, 讲师. 研究方向为雷达信号处理.

常小龙 男, (1986-), 博士, 讲师. 研究方向为神经信息处理.